

PAT-NO: JP02000124279A

DOCUMENT-IDENTIFIER: JP 2000124279 A

TITLE: SEMICONDUCTOR DEVICE APPLICABLE TO WAFER BURN-IN

PUBN-DATE: April 28, 2000

INVENTOR-INFORMATION:

NAME

NAKADA, KIYOKAZU

KASUYA, YASUMASA

COUNTRY

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

NKK CORP

COUNTRY

N/A

APPL-NO: JP10296520

APPL-DATE: October 19, 1998

INT-CL (IPC): H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To perform a correct burn-in test with an IC chip as set, when a disorder takes place at burn-in test and an excessive current flows in a semiconductor device, allowing the excessive current to melt a fuse, so that a test current applied from a power source line is cut off.

SOLUTION: A wafer with a power source connected to each IC chip 1 is put in a specified high-temperature atmosphere, and a burn-in test is started. When a disorder takes place in the IC chip 1 during the test, an excessive current flows in a circuit element in the IC chip 1 from a power source line 4 through a proving pad 2. When the current exceeds a pre-set tolerable current of a

fuse 5, it melts the fuse 5 and the current flowing into the IC chip 1 from the power source line 4 is cut off. Thus, a correct burn-in test with the IC chip 1 is performed as set.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124279

(P2000-124279A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl.

識別記号

F I

ターコード (参考)

H 0 1 L 21/66

H 0 1 L 21/66

H 4 M 1 0 6

B

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平10-296520

(22) 出願日 平成10年10月19日 (1998. 10. 19)

(71) 出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72) 発明者 仲田 清和

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

(72) 発明者 稲谷 泰正

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

(74) 代理人 100073221

弁理士 花輪 義男

Fターム (参考) 4M106 AA01 AC20 AD13 AD22 BA01

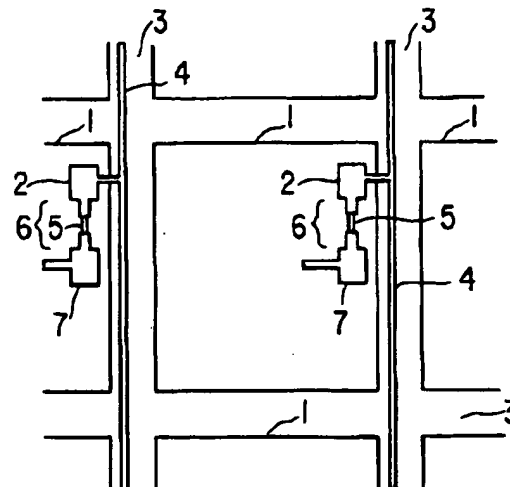
BA14 CA56

(54) 【発明の名称】 ウエハバーンインに対応する半導体装置

(57) 【要約】 (修正有)

【課題】バーンイン試験の際に、不良が発生したICチップに印加される試験用電源や信号を遮断して、正常なICチップへのバーンイン試験を設定通りに実施することができるウエハバーンインに対応した半導体装置を提供する。

【解決手段】複数の回路素子で構成され、それぞれの間にスクライブラインが設けられて半導体基板上に多数配置されて形成された半導体装置において、前記スクライブライン上に形成された試験用の電源線と、前記電源線と接続して前記半導体装置内の入力側に形成され、ウエハテスト時に試験装置の試験用端子が押し当てられるプロービング用パッドと、前記半導体装置内に設けられ、前記回路素子に通じるボンディングパッドと前記プロービング用パッドとを接続する配線途中に設けられたヒューズとを備え、バーンイン試験中に不具合が発生して前記半導体装置へ過電流が流れた際に、この過電流で前記ヒューズが溶断して、前記電源線から印加される試験用電流を遮断する。



【特許請求の範囲】

【請求項1】 複数の回路素子で構成され、それぞれの間にスクライプラインが設けられて半導体基板上に多数配置されて形成された半導体装置において、前記スクライプライン上に形成された試験用の電源線と、前記電源線と接続して前記半導体装置内の入力側に形成され、ウエハテスト時に試験装置の試験用端子が押し当てられるプロービング用パッドと、前記半導体装置内に設けられ、前記回路素子に通じるボンディングパッドと前記プロービング用パッドとを接続する配線途中に設けられたヒューズと、を具備し、バーンイン試験中に不具合が発生して前記半導体装置へ過電流が流れた際に、この過電流で前記ヒューズが溶断して、前記電源線から印加される試験用電流を遮断することを特徴とするウエハバーンインに対応する半導体装置。

【請求項2】 前記半導体装置のヒューズにおいて、前記ヒューズを溶断させる過電流は、前記半導体装置の平常の消費電流の5倍若しくは、半導体装置設計時に予め規定された値のいずれかであることを特徴とする請求項1に記載のウエハバーンインに対応する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造工程で行われる製品試験の1つのバーンイン試験において、ウエハ状態で試験実施が可能な機能を有する半導体装置に関する。

【0002】

【従来の技術】一般に、半導体装置を製造する最終工程において、製造した製品の良否をチェックするための種々の試験が行われる。

【0003】そのうち、半導体装置の潜在的な欠陥や固有の欠陥を見い出す試験として、スクリーニング試験の一種であるバーンイン試験が実施されている。このバーンイン試験は、高温雰囲気の中で行われるエージング試験であり、定格電圧若しくはそれ以上の電源電圧を印加して各デバイスに一定電流若しくは、実動作に近い入力信号を流して、温度及び電圧のストレスを与えて、潜在的な欠陥を意図的に発生させて選別する試験である。

【0004】従来は、ウエハをダイシングして個々にチップ化した後、それぞれに試験を実施していたが、近年では、図2に示すように、ウエハ上の各ICチップ11内のボンディングパッド12に接続する試験用電源線13を通常の製造工程の中で形成する。そして電源電圧を印加しバーンイン後、ボンディングパッド12に試験装置のプローブを当てて、テストする事により、ウエハ単位でバーンイン試験が実施できるようになった。

【0005】例えば、特開平5-55327号公報には、複数のICチップが設けられたウエハに対し、ダイ

シンク（スクライブ）ラインを横切るようにバーンイン用電源線を形成し、このバーンイン用電源線は、各ICチップ（半導体装置）の入力側に接続している。このバーンイン用電源線を経て、各々ICチップに作動電圧を印加することにより、ウエハ単位で全てのICチップを短時間に効率的にバーンイン試験することができる。

【0006】また、ICチップ毎入力側に抵抗体を設けて、不良によりICチップが絶縁破壊を起こした場合に短絡を防止し、他の正常なICチップへの影響を抑制している。

【0007】

【発明が解決しようとする課題】しかし、ウエハ上の各ICチップにバーンイン用電源線を形成した構成において、バーンイン試験中にICチップの不良が発生した場合、その不良のICチップに過電流が流れる恐れがある。過電流が流れ、バーンイン試験装置の出力許容範囲を超えて過負荷となると、装置自体が停止してしまい、バーンイン試験が途中で中断されてしまう。

【0008】また前述した公報のように、ICチップ毎に抵抗体を設けた構成であっても、ある程度は抵抗体により短絡による過電流を防止できるが、不具合が発生したICチップに試験を実施するために印加した電源が流れ込むことにより、他の正常なICチップに印加されるべき電圧が低下して規定通りの試験が実施できない場合がある。

【0009】また、抵抗体を各ICチップの入力側に設けると、本来では不必要な電流消費が行われ、ウエハ全体に形成されたICチップの多数であるため、印加する電圧が高電圧となり、好ましくない。

【0010】そこで本発明は、ウエハ上に形成された複数のICチップに対するバーンイン試験の際に、不良が発生したICチップに印加される試験用電源や信号を遮断して、正常なICチップへのバーンイン試験を設定通りに実施することができるウエハバーンインに対応した半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は上記目的を達成するために、複数の回路素子で構成され、それぞれの間にスクライプラインが設けられて半導体基板上に多数配置されて形成された半導体装置において、前記スクライプライン上に形成された試験用の電源線と、前記電源線と接続して前記半導体装置内の入力側に形成され、ウエハテスト時に試験装置の試験用端子が押し当てられるプロービング用パッドと、前記半導体装置内に設けられ、前記回路素子に通じるボンディングパッドと前記プロービング用パッドとを接続する配線途中に設けられたヒューズとを備え、バーンイン試験中に不具合が発生して前記半導体装置へ過電流が流れた際に、この過電流で前記ヒューズが溶断して、前記電源線から印加される試験用電流を遮断する半導体装置を提供する。

【0012】以上のような構成の半導体装置は、ICチップへの電源線の途中にテストに用いるためのパッドとヒューズを設けており、バーンイン試験の途中で過電流によりヒューズ5が溶断されたICチップ1は、プロービング用パッド2と内部回路素子とは、電気的に遮断されているため、正常な試験を行うことができず、不良品として判定される。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。

【0014】図1には、本発明による実施形態に係るウエハ状態でバーンイン試験を実施可能な半導体装置の構成を示し説明する。

【0015】この半導体装置1は、複数の回路素子からなり、シリコン等の半導体基板（ウエハ）上に多数配置されて形成されており、ダイシングにより個々にチップ化される。以降、本実施形態では、半導体装置をICチップと称する。

【0016】これらのICチップ1内には、入力側にプロービング用パッド2が形成され、スクライブライン3上に配線された試験用の電源線4に接続されている。このプロービング用パッド2は、ウエハテスト時に試験装置のアプロープ等が押し当てられるパッドである。

【0017】そして、プロービング用パッド2は、過電流が流れると溶断される多結晶シリコンや金属等からなるヒューズ5を有する配線6を介して、内部回路素子に通じるボンディングパッド7に接続される。このヒューズ5の溶断の目安は、例えばICチップ1における通常の消費電流の5倍程度の電流が流れた際に溶断するものとする。勿論、ICチップの設計段階で最大電流量が厳しく規定されている装置であれば、その値に準じた電流により溶断されるように形成する。

【0018】このような構成の半導体装置をバーンイン試験した際の作用について説明する。

【0019】まず、従来と同様に、各ICチップに電源が供給されたウエハを所定の高温雰囲気の内に入れて、バーンイン試験を開始する。

【0020】この試験中に、ICチップ1の中で不良品が発生すると、電源線4からプロービング用パッド2を通じてチップ内の回路素子に過電流が流れる。この過電流が予め定めたヒューズ5の許容電流量を超えると、ヒューズ5は溶断され、電源線4からICチップ1へ流れ込む電流が遮断される。

【0021】従って、ヒューズ5の溶断により、電気的に電源線4から遮断され、その不良のICチップ2のみバーンイン試験が中断される。

【0022】そして、バーンイン試験の後、さらに良品選別のためにアプロープカード等を使用しウエハテストを実施する。このとき、ウエハテストの電圧印加には、各ICチップ1のプロービング用パッド2を使用する。

【0023】正常なICチップ1であれば、プロービング用パッド2は、配線6及びヒューズ5を介して、内部回路素子と接続しているため、正常なスクリーニング試験の実施がされる。

【0024】バーンイン試験の途中で過電流によりヒューズ5が溶断されたICチップ1は、プロービング用パッド2と内部回路素子とは、電気的に遮断されているため、試験を行うことができず、不良品として判定される。

【0025】以上説明したように本実施形態によれば、ICチップへの電源線の途中にテストに用いるためのパッドとヒューズを設けたため、ウエハ状態でバーンイン試験を各ICチップに対して実施すると、不具合により不良品となったICチップのみに過電流が流れ込み、ヒューズが溶断する。

【0026】これにより、バーンイン試験装置の出力が過負荷にならず、停止することが無くなり、また電源電圧が降下することもなく、正常なICチップへのバーンイン試験を設定通り実施される。

【0027】また、プロービング用パッドをテスト専用に設けているため、ダイシングされてパッケージング工程でフレームにマウントされ、配線接続される際に、ボンディングされるパッドには、テスト用のアプロープの接触による損傷が無く、不良の発生を無くしている。

【0028】

【発明の効果】以上詳述したように本発明によれば、ウエハ上に形成された複数のICチップに対するバーンイン試験の際に、不良が発生したICチップに印加される試験用電源や信号を遮断して、正常なICチップへのバーンイン試験を設定通りに実施することができるウエハバーンインに対応した半導体装置を提供することができる。

【図面の簡単な説明】

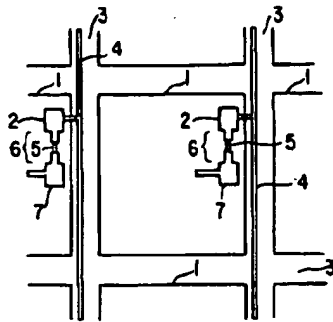
【図1】本発明による実施形態に係るウエハ状態でバーンイン試験を実施可能な半導体装置の構成を示す図である。

【図2】従来技術によるウエハ状態でバーンイン試験を実施可能な半導体装置の構成を示す図である。

【符号の説明】

- 1…ICチップ
- 2…プロービング用パッド
- 3…スクライブライン
- 4…電源線
- 5…ヒューズ
- 6…配線
- 7…ボンディングパッド
- 11…ICチップ
- 12…プロービング及び兼用パッド
- 13…電源線

【図1】



【図2】

